

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MULTILAYER BOARD FOR MOUNTING ELECTRONIC COMPONENT

Patent Number: JP5335364
Publication date: 1993-12-17
Inventor(s): UEDA MASAHIRO; others: 05
Applicant(s): IBIDEN CO LTD
Requested Patent: ☐ JP5335364
Application Number: JP19920164215 19920529
Priority Number(s):
IPC Classification: H01L21/60
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a multilayer board for electronic-component mounting having excellent electrical connectivity and mounting and arrangement property suitable for high-speed processing.
CONSTITUTION: A synthetic-resin board is provided with the following: a first mounting part 1 on which an LSI 11 for MPU is bare-mounted; second mounting parts 2 for memory LSI mounting; and third mounting parts 3 for noise-preventing capacitor mounting. A plurality of stages of first pads 11 are formed. Conductor circuits 4 which are used to transfer electric signals are formed between the first mounting part 1 and the first pads 11, between the second mounting parts 2 and second pads 20 and between the third mounting parts 3 and third pads 30. connector parts 5 which are used to transfer electric signals to the outside are formed at the conductor circuits 4. The second mounting parts 2 and the third mounting parts 3 are formed around the first mounting part 1. Since the LSI 11 for MPU is bare-executed to the first mounting part 1, its connecting distance becomes short.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-335364

(43) 公開日 平成5年(1993)12月17日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 0 1 A	6918-4M		
// H 0 5 K 3/46	Q	6921-4E		

審査請求 未請求 請求項の数 8 (全 8 頁)

(21) 出願番号 特願平4-164215

(22) 出願日 平成4年(1992)5月29日

特許法第30条第1項適用申請有り 平成4年1月1日
日刊工業新聞社発行の「表面実装技術 第2巻 第1号」に発表

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 上田 昌宏

岐阜県大垣市河間町3丁目200番地 イビ
デン株式会社河間工場内

(72) 発明者 桐谷 良彦

岐阜県大垣市河間町3丁目200番地 イビ
デン株式会社河間工場内

(72) 発明者 伊藤 均

岐阜県大垣市河間町3丁目200番地 イビ
デン株式会社河間工場内

(74) 代理人 介理士 高橋 祥泰

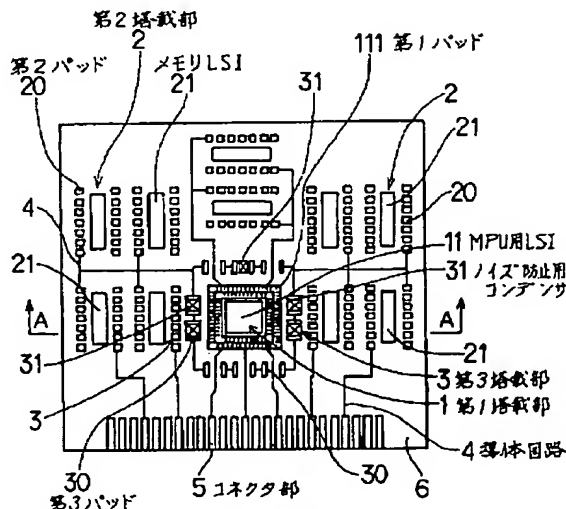
最終頁に続く

(54) 【発明の名称】 電子部品搭載用多層基板

(57) 【要約】

【目的】 高速処理に適した電気的接続性及び実装配置性に優れた、電子部品搭載用多層基板を提供すること。

【構成】 MPU用LSI 111をベア実装する第1搭載部1と、メモリLSI搭載用の第2搭載部2とノイズ防止コンデンサ搭載用の第3搭載部3とを有する合成樹脂基板であって、第1パッド111は複数段形成してなり、第1搭載部1及び第1パッド111、第2搭載部2及び第2パッド20、第3搭載部3及び第3パッド30の間には電気信号を授受するための導体回路4を形成し、また導体回路4には外部と電気信号を授受するためのコネクタ部5を形成してなる。第2搭載部2及び第3搭載部3は、第1搭載部1の周辺に形成してある。第1搭載部1にMPU用LSI 111をベア実装してあるため、接続距離が短くなる。



【特許請求の範囲】

【請求項1】 MPU用LSIをベア実装するための第1搭載部と、その周囲に前記MPU用LSIと電気的に接続される第1パッドが配設され、かつその周辺にはメモリLSI用の第2搭載部及び第2パッドを設けた合成樹脂基板よりなる電子部品搭載用多層基板。

【請求項2】 請求項1において、第1パッドは複数段形成してなり、また上記第1パッド、第2パッドの間には電気信号を授受するための導体回路を形成したことを特徴とする電子部品搭載用多層基板。

【請求項3】 請求項1又は2において、ノイズ防止コンデンサ用の第3搭載部及び第3パッドを設けたことを特徴とする電子部品搭載用多層基板。

【請求項4】 請求項1、2又は3において、導体回路の一部又は全部が銅箔層と、銅、ニッケル、金の複数の金属メッキ層とからなることを特徴とする電子部品搭載用多層基板。

【請求項5】 請求項1、2、3又は4において、第1パッドの表面が金メッキ膜よりなり、第2パッド及び第3パッドの表面が半田メッキ膜、銅メッキ膜よりなることを特徴とする電子部品搭載用多層基板。

【請求項6】 請求項1、2、3、4又は5において、第1パッドには、これを形成するためのメッキ用リード線が設けられていないことを特徴とする電子部品搭載用多層基板。

【請求項7】 請求項1、2、3、4、5又は6において、上記第1搭載部は合成樹脂基板に設けた凹部内に設けられ、該第1搭載部はその内壁に壁面メッキ層を有し、上記第1パッドは上記壁面メッキ層を介して合成樹脂基板の内部に設けた内層回路に接続されていることを特徴とする電子部品搭載用多層基板。

【請求項8】 請求項1において、MPU用LSIをベア実装する第1搭載部に開口部が形成されており、該開口部には凹部をつくるように金属板が貼着してあることを特徴とする電子部品搭載用多層基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速処理に適した電気的接続性及び実装配置性に優れた、電子部品搭載用多層基板に関する。

【0002】

【従来技術】 従来、マザーボード等の電子部品搭載用基板9には、図9、図10に示すごとく、MPU用LSI91を搭載した高速処理部分と、メモリLSI搭載用部分92及びノイズ防止コンデンサ搭載用部分93が同一面上に配置されている。上記マザーボードは、各種の電子部品を実装したプリント配線板（ドーターボード）を搭載し、相互の電気的接続を有する大型の電子部品搭載用基板である。

【0003】 また、上記MPU用LSI91は、マイク

ロプロセッサユニット用の半導体チップで、メモリ（一般にはROM）に記憶されたプログラムに従って演算、判断等を実行する中枢機能を有している。上記メモリLSI搭載用部分92に搭載するメモリLSIは、上記MPU用LSI91が作動する時に必要な命令やデータを蓄えておくための半導体チップである。

【0004】 また、上記ノイズ防止コンデンサ搭載用部分93に搭載するコンデンサは、上記マザーボードに形成された導体回路95やシステムに、正規の電気信号以外の電圧や電流が混入することを防止するためのコンデンサである。また、上記電子部品搭載用基板9には、図9に示すごとく、上記MPU用LSI91、メモリLSI搭載用部分92、ノイズ防止コンデンサ搭載用部分93に対し外部より電気信号を授受できるようコネクタ部94、941が形成されている。また、この他にも電子部品搭載用基板9には周辺装置制御用LSI97、98が搭載されている。

【0005】 また、上記MPU用LSI91は、図10に示すごとく、リードピン911を有し、パッケージ912内に気密封止されている。該リードピン911は、上記電子部品搭載用基板9の取付穴90内に挿入され、半田96により電気的に接続されている。このように、パッケージ912内に気密封止したMPU用LSI91を、リードピン911を介して半田96により電子部品搭載用基板9に電気的接続することを、ピングリットアレー（PGA）接続という。

【0006】

【解決しようとする課題】 しかしながら、上記従来技術には、次の問題点がある。即ち、上記MPU用LSI91は、図10に示すごとく、PGA接続が行われているため、データ等を高速処理することができない場合がある。即ち、上記リードピン911は、上記取付穴90内に半田96により接合されているので部品間距離が長い。

【0007】 そのため、MPU用LSI、メモリLSI、ノイズ防止コンデンサ間の実装配置性が悪く、この部分の電気的接続が不十分な場合がある。その結果、上記MPU用LSI91の高速処理は、上記半田接合部における電気信号の授受速度により制限（律速）される。例えば、該MPU用LSI91が本来100メガヘルツの出力をすべきところ、その約半分の50メガヘルツ位しか出力できない場合を生ずる。

【0008】 このように、リードピン自体の長さやリードピンの半田接合により、電気的接続したMPU用LSI91は、マザーボード等の電子部品搭載用基板9において、作動速度が半減することがあり、本来の高速処理能力を発揮することができない。本発明は、かかる従来の問題点に鑑みてなされたもので、高速処理に適した電気的接続性及び実装配置性に優れた、電子部品搭載用多層基板を提供しようとするものである。

【0009】

【課題の解決手段】本発明は、MPU用LSIをベア実装するための第1搭載部と、その周囲に前記MPU用LSIと電気的に接続される第1パッドが配設され、かつその周辺にはメモリLSI用の第2搭載部及び第2パッドとを設けた合成樹脂基板よりなることを特徴とする電子部品搭載用多層基板である。

【0010】本発明において最も注目すべきことは、非常に多い端子を有するMPU用LSI接続用の第1パッドは複数段形成したことである。また、合成樹脂基板上には、MPU用LSIをベア実装するための第1搭載部及び第1パッドを形成しておき、その周辺にメモリLSI用の第2搭載部と第2パッドを形成したことである。

【0011】上記ベア実装とは、裸（ベア）のMPU用LSIを、電子部品搭載用基板の上記第1搭載部に直接搭載し、例えばワイヤーボンディング又はテープキャリア方式（TAB）接続により、上記第1パッドと電気的に接続することである。また、これらは、樹脂又はキャップにより封止することが望ましい。これにより、予めパッケージされたMPU用LSIを電子部品搭載用基板上に実装する代わりをなす。

【0012】上記第1搭載部は、上記MPU用LSIのみを独立して搭載する部分で、例えば凹部を形成したり、樹脂封止枠を接合して形成する。また、第1パッドと同一面であってもよい。上記MPU用LSIとしては、マイクロプロセッサ用の演算、判断等を実行する中枢機能を有する半導体チップを用いる。上記合成樹脂基板としては、例えばガラスエポキシ樹脂基板、ガラストリアジン樹脂基板、ガラスポリイミド樹脂基板、ガラスフッ素樹脂基板等を用いる。

【0013】上記第2搭載部及び第2パッドに搭載するメモリLSIとしては、上記MPU用LSIが動作するときに必要な命令やデータを蓄えておくための半導体チップを用いる。上記第1パッドは複数段形成してなり、また上記第1パッド、第2パッドの間には電気信号を授受するための導体回路を形成することが好ましい。これにより、基板上に形成される導体回路の長さを短くでき、実装配置性に優れた、コンパクトな電子部品搭載用多層基板を提供することができる。

【0014】上記第1搭載部及び第1パッドの周囲には、ノイズ防止コンデンサ用の第3搭載部及び第3パッドを設けることが好ましい。これにより、ノイズの影響が少ない導体回路を形成することができる。上記第3搭載部及び第3パッドに搭載するノイズ防止コンデンサとしては、上記電子部品搭載用基板上に形成された導体回路やシステムに、正規の電気信号以外の電圧や電流が発生することを防止するコンデンサを用いる。

【0015】上記導体回路の一部又は全部は、例えば表面に銅箔層を有する合成樹脂基板上に、無電解メッキ、電解メッキにより形成した銅メッキ膜、ニッケルメッキ

膜、金メッキ膜を順次被覆した複数の金属メッキ膜により構成することが好ましい。これにより、導体回路の耐久性が向上する。

【0016】また、上記第1パッドの表面が金メッキ膜よりなり、第2及び第3パッドが半田メッキ膜又は銅メッキ膜よりなることが好ましい。これにより、第1パッドは、化学変化を受けにくく防錆性、耐久性が向上すると共に、電気伝導性及びワイヤボンディング性が向上する。また、美しい金属光沢を有し見栄えが良い。一方、第2及び第3パッドは、比較的成形が容易であり安価である。

【0017】上記第1パッドには、これを形成するためのメッキ用リード線が設けられていないことが好ましい。これにより、導体回路の長さを短くし、実装配置性に優れた、コンパクトな電子部品搭載用多層基板を得ることができる。上記第1搭載部は、合成樹脂基板に設けた凹部内に設けられ、また、その内壁に壁面メッキ層を有し、第1パッドは壁面メッキ層を介して合成樹脂基板の内部に設けた内層回路に電気的に接続されていることが好ましい。これにより、導体回路の長さを短くし、ノイズに対して影響が少ない導体回路が形成でき、実装配置性に優れた、コンパクトな電子部品搭載用多層基板を得ることができる。

【0018】上記凹部は、上記MPU用LSIをベア実装する第1搭載部に開口部が形成され、該開口部には金属板を貼着して形成してあることが好ましい。これにより、凹部にベア実装したMPU用LSIの熱放散性及び防湿性が向上する。上記導体回路には、例えば実施例1に示すごとく、外部と電気信号を授受するためのコネクタ部を形成することが好ましい（図1参照）。これにより、他の電子部品搭載用基板（例えば、マザーボード）又は電源との電気的接続が容易になる。

【0019】また、第2搭載部及び第2パッドと、前記第3搭載部及び第3パッドは、前記第1搭載部及び第1パッドの周囲に隣接形成することが好ましい。これにより、MPU用LSI、メモリLSI、ノイズ防止コンデンサの間の距離がより短縮され、これらの間の交信を高速化できる。また、これらの実装時の作業性が向上し、その実装配置性が向上する。

【0020】上記コネクタ部は、複数のスルーホールよりなることが好ましい。これにより、リードピンを介して、他の電子部品搭載用基板等への電気的接続が容易になる。また、上記コネクタ部がスルーホールよりなり、該スルーホールにはリードピンが固定されていることが好ましい。これにより、基板相互の電気的接続が迅速容易になる。

【0021】

【作用及び効果】本発明の電子部品搭載用多層基板においては、第2搭載部及び第2パッドが第1搭載部及び第1パッドの周囲に形成してある。そのため、電子部品搭

載用多層基板上に形成される導体回路の長さを短くでき、実装配置性に優れた、コンパクトな電子部品搭載用多層基板とすることができる。

【0022】また、第1搭載部にMPU用LSIがベア実装してある。そのため、従来の上記PGA接続による電気接続の不十分な点を解消すること、さらにMPU用LSIと第1パッドとの接続距離を極めて短くすることができる。また、メモリLSIをもベア実装することによりさらに、チップ間の距離が短くなる。それ故、MPU用LSI、メモリLSI、ノイズ防止コンデンサ間の実装配置性が向上し、MPU用LSIの高速処理能力を最大限に発揮させることができる。

【0023】また、第1パッドが複数段形成してある場合においては、基板上に形成される導体回路の長さを短くでき、実装配置性に優れ、コンパクトな電子部品搭載用多層基板を得ることができる。また、上記第1搭載部、第1パッドの周囲に、ノイズ防止コンデンサ用の第3搭載部及び第3パッドを設けた場合においては、ノイズに対して影響が少ない導体回路を形成することができる。

【0024】また、導体回路の一部又は全部を銅箔層と、銅、ニッケル、金の複数の金属メッキ層により形成した場合においては、MPU用LSIからの発熱を効率良く放散するため、MPU用LSIの動作安定化を図ることができる。また、上記MPU用LSIがベア実装してあるため、メモリLSI、ノイズ防止コンデンサを隣接して実装できる。その結果、さらに、高速処理能力を向上させることができる。

【0025】また、上記電子部品搭載用基板は、合成樹脂基板により構成する。そのため、従来の電子部品搭載用基板にセラミックス基板を用いたものに比し、コストダウンが可能となる。以上のごとく、本発明によれば、高速処理に適した電気的接続性及び実装配置性に優れた、電子部品搭載用多層基板を提供することができる。

【0026】

【実施例】実施例1

本発明の実施例にかかる電子部品搭載用多層基板につき、図1～図5を用いて説明する。本例の電子部品搭載用多層基板は、MPU用LSI11をベア実装するための第1搭載部1と、メモリLSI搭載用の第2搭載部2と、ノイズ防止コンデンサ搭載用の第3搭載部3とを設けた合成樹脂基板よりなる。また、第1パッド111は、図1～図3に示すごとく、2段に形成してなる。

【0027】また、上記第1搭載部1及び第1パッド111、第2搭載部2及び第2パッド20、第3搭載部3及び第3パッド30のそれぞれの間には電気信号を授受するための導体回路4を形成している。導体回路4には、外部と電気信号を授受するためのコネクタ部5を接続している。上記第1パッド111は、図2～図4に示すごとく、下段パッド1111と、上段パッド1112

とよりなる。

【0028】また、両パッドは、いずれも金属メッキ層62を有する。また、下段パッド1111は、内層回路41に電気的に接続してある。上記下段パッド1111は、下方のガラスエポキシ基板6上に形成してある。また、上段パッド1112は、上方基板65上に形成してある。

【0029】また、上記第2搭載部2及び第3搭載部3は、図1に示すごとく、上記第1搭載部1の周辺に形成してある。上記合成樹脂基板としては、ガラスエポキシ基板6及び第2基板65を用いる。上記第1搭載部1は、図2に示すごとく、ガラスエポキシ基板6に、上記MPU用LSI11の外形よりも略大きい凹部61を形成したものである。該凹部61の上方周囲には、第1パッド111が形成してある。また、該凹部61内には、MPU用LSI11を搭載してある。

【0030】上記第1パッド111は、図1に示すごとく、上記ガラスエポキシ基板6上において、上記第2搭載部2、第3搭載部3、コネクタ部5と接続されている。第1パッド111は、金属メッキ膜62により構成する。このうち、特に下段1111は、図4に示すごとく、メッキ用リード線41を介して形成する。金属メッキ膜62は、電解メッキにより、まず銅メッキ膜621（約30μm）を形成し、次いでニッケルメッキ膜622（約5μm）を形成し、最外層に金メッキ膜623（約0.5μm）を形成したものである。

【0031】上記第2パッド20は、図4に示すごとく、上記第1パッド11と同様に、銅メッキ膜201と、ニッケルメッキ膜202と、金メッキ膜203とよりなる。また、第3パッド31も、上記第1パッド11と同様である。なお、上記MPU用LSI11は、予めパッケージされていない裸（ベア）状態の半導体チップを用いる。

【0032】ここで注目すべきことは、上記MPU用LSI11は、上記第1搭載部1上にベア実装してあることである。ベア実装とは、マザーボードとしての電子部品搭載用基板60における第1搭載部1に、裸（ベア）のMPU用LSI11を搭載することである。MPU用LSI11は、図2に示すごとく、上記2段の第1パッド1111に対し、ボンディングワイヤ63により電気的に接続する。その後、封止用の樹脂64によりこれを被覆し、樹脂封止する。

【0033】次に、第2搭載部2は、10個形成し、メモリLSI21を搭載し第2パッド20に電気的に接続してなる。該第2パッド20は、上記第1パッド111と同様に形成してある。そして、上記第3搭載部3は、図1に示すごとく、凹部61の四方に4個配置してある。

【0034】また、上記第2搭載部2及びその周囲の第2パッド20には、図1、図2に示すごとく、メモリL

S121を表面実装する。即ち、該メモリLSI21は、上記第2パッド20に、半田（図示略）により電気的に接続する。また、上記第3搭載部3及びその周囲の第3パッド30には、それぞれノイズ防止コンデンサ31を表面実装する。即ち、該ノイズ防止コンデンサ31は、上記第3パッド30に、半田（図示略）により電気的に接続する。

【0035】上記コネクタ部5は、比較的小さな短冊状の金属メッキ膜が多数並列した状態で形成してある。該金属メッキ膜は、上記第2搭載部2、第3搭載部3、導体回路4と同様に形成してある。また、上記コネクタ部5は、上記MPU用LSI11、第2搭載部2、第3搭載部3、導体回路4に対して、外部より電気信号を授受する端子部である。また、上記第1搭載部1と、第2搭載部2と、第3搭載部3の各パッド111、20、30とは、図5に示すごとく、導体回路4によりそれぞれ電気的に接続してある。

【0036】次に作用効果につき説明する。本例においては、上記第1パッド111は、図1～図4に示すごとく、上段パッド1112及び下段パッド1111の2段よりなる。そのため、導体回路4の長さを短くでき、実装配置性に優れた、コンパクトな電子部品搭載用多層基板とすることができる。

【0037】また、第1搭載部1にMPU用LSI11をベア実装してある。そのため、MPU用LSI11の、本来の高速処理能力を発揮させることができる。これは、従来の上記PGA接続による電気接続の不十分な点を解消し、第1搭載部の電気的接続性が向上できたためである。

【0038】上記ベア実装に際しては、予めパッケージされたMPU用LSI11を使用することなく、裸（ベア）状態のMPU用LSI11を使用する。その結果、第1搭載部1の周辺に、上記第2搭載部2更には第3搭載部3を形成することができる。また、そのため、上記MPU用LSI11とメモリLSI21、ノイズ防止コンデンサ31との間の配線の長さを短くすることができ、高速処理に寄与する。

【0039】上記第1搭載部1の周囲に、第2搭載部2及び第3搭載部3を形成したので、上記MPU用LSI11、メモリLSI、ノイズ防止コンデンサの実装時の作業性が向上し、その実装配置性が向上する。上記電子部品搭載用基板は、合成樹脂基板により構成する。そのため、従来の電子部品搭載用基板にセラミックス基板を用いたものに比し、コストダウンが可能となる。また、上記電子部品搭載用基板の設計の容易化によるコストダウンも可能となる。

【0040】また、上記導体回路4は、その最外層が金メッキ膜623により形成してあるため、導電性、耐久性に優れている。そのため、上記MPU用LSI11の高速処理化にも有利である。また、本例においては、第

1搭載部1を取り囲むように、第2及び第3搭載部を隣接配置することもできる。これにより、これらの間の信号授受が一層高速化される。

【0041】実施例2

本例は、図6に示すごとく、上記実施例1における上段パッド1112の金属メッキ層62及び第2パッド20の金属メッキ層を、下記のごとく変えたものである。その他は、実施例1と同様である。上記上段パッド1112の金属メッキ膜62は、図6に示すごとく、上方基板65上において、まず銅メッキ膜621が形成してある。また、該銅メッキ膜621上において、絶縁インク部625を介在させてその一方には半田メッキ膜624を、他方にはニッケルメッキ膜622及びこの表面に形成した金メッキ膜623を形成してある。

【0042】上記第2パッド21は、図6に示すごとく、上方基板65上に形成された銅メッキ膜201と、その表面に形成された半田メッキ膜204とよりなる。上記上段パッド1112の金属メッキ層62は、右側に最表面に金メッキ623を、また左側には半田メッキ624を形成したものである。これにより、ボンディングパッドとしての最外層が金メッキ膜623により形成してあるため、ワイヤボンディング性及び耐久性が向上する。

【0043】一方、上記上段パッド1112における他の部分及び第2パッド20の最外層は、いずれも半田メッキ膜624、204よりなる。そのため、比較的容易にパッドを形成することができ、安価である。それ故、本例によれば、実施例1に比して、比較的容易に、かつ安価なパッドを形成することができる。その他、実施例1と同様の効果を得ることができる。

【0044】実施例3

本例は、図7に示すごとく、上記実施例1における内層回路41に、メッキ用リード線が設けられていない電子部品搭載用多層基板を示すものである。その他は、実施例1と同様である。上記第1パッド111は、下方のガラスエポキシ基板6と、上方基板65との間に形成した内層回路41と電気的に接続してある。また、内層回路41には、実施例1の図3、図4に示したメッキ用リード線42が形成されていない。

【0045】本例においては、上記第1パッド111の金属メッキ層62が無電解メッキにより形成してあるため、メッキ用リード線の必要性がない。それ故、本例によれば、実施例1に比して、メッキ用リード線を形成する部分を、他の導体回路形成部分に利用することができ、導体回路の短縮化及びファイン化に適した、コンパクトな電子部品搭載用多層基板を得ることができる。その他は、実施例1と同様の効果を得ることができる。

【0046】実施例4

本例は、図8に示すごとく、上記実施例1におけるMPU用LSI1を搭載するための凹部内61に壁面メッキ

9

層45をまた、ガラスエポキシ基板6内に内層回路68を形成したものである。その他は、実施例1と同様である。まず、ガラスエポキシ基板6の上に、上方基板65を配設してなる。また、これらの間に、内層回路68を形成してなる。

【0047】上記壁面メッキ層45は、凹部61における底面及び垂直な壁面部分において形成してある。また、該壁面メッキ層45は、第1パッド111のうち下方パッド1111と、上記内層回路68との間を、電気的に接続するよう形成してある。それ故、本例によれば、実施例1に比して、導体回路の短縮化及びファイン化に適した、コンパクトな電子部品搭載用多層基板を得ることができる。

【0048】また、壁面メッキ層45が形成してあるため、MPU用LSI1の発熱を内層回路68を通じて容易に外部へ放出することができ、熱放散性に優れている。また、凹部61が壁面メッキ層45により囲われているので、防湿性に優れている。その他、実施例1と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】実施例1にかかる電子部品搭載用多層基板の平面図。

【図2】図1のA-A線矢視断面図。

【図3】実施例1にかかる電子部品搭載用多層基板における第1パッドの拡大図。

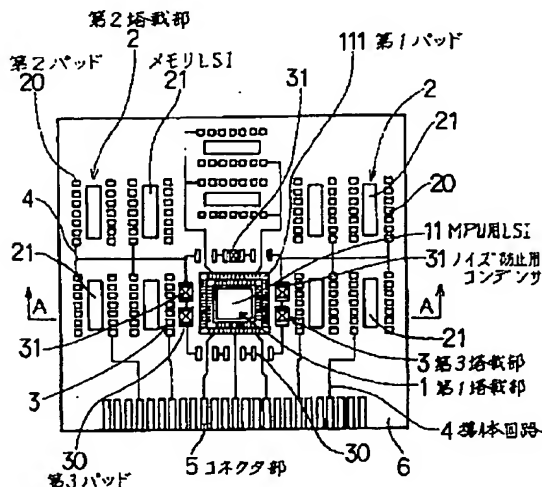
【図4】実施例1にかかる電子部品搭載用多層基板における第1パッド及び第2パッドの金属メッキ層を示す側面の断面図。

【図5】実施例1にかかる電子部品搭載用多層基板の導体回路の配線状態を示す平面図。

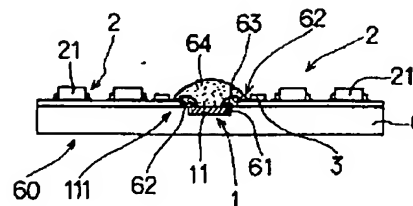
【符号の説明】

- 1... 第1搭載部,
- 11... MPU用LSI,
- 111... 第1パッド,
- 1111... 下段パッド,
- 1112... 上段パッド,
- 2... 第2搭載部,
- 20... 第2パッド,
- 21... メモリLSI,
- 3... 第3搭載部,
- 30... 第3パッド,
- 31... ノイズ防止コンデンサ,
- 4... 導体回路,
- 41... 内層回路,
- 45... 壁面メッキ層,
- 5... コネクタ部,
- 62... 金属メッキ層,
- 621... 銅メッキ膜,
- 622... ニッケルメッキ膜,
- 623... 金メッキ膜,
- 68... 内層回路,

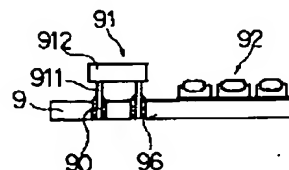
【図1】



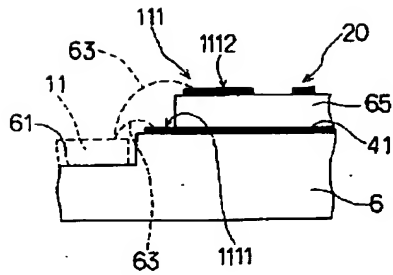
【図2】



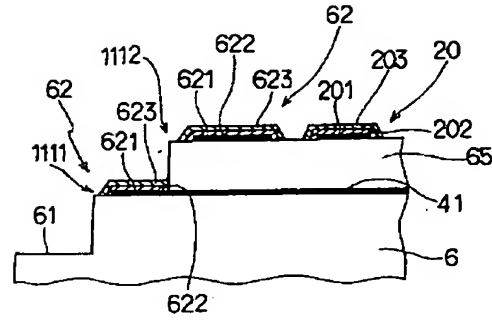
【図10】



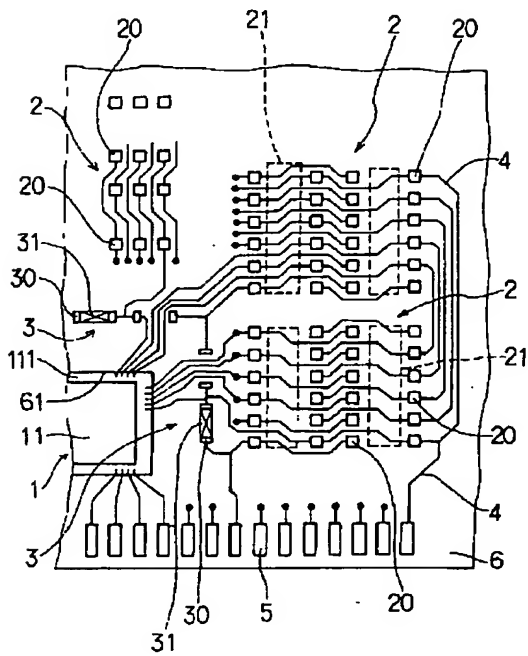
【図 3】



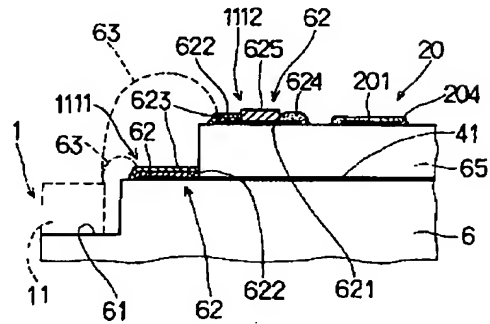
【図4】



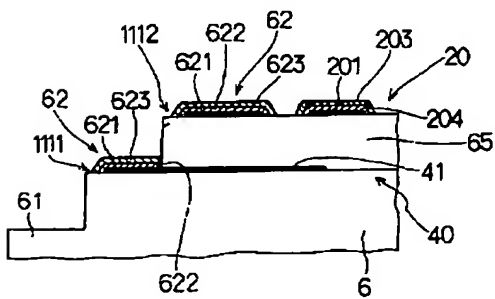
【图 5】



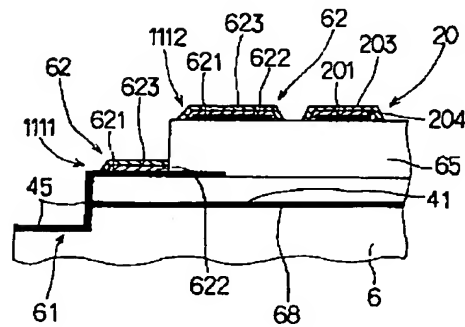
【図 6】



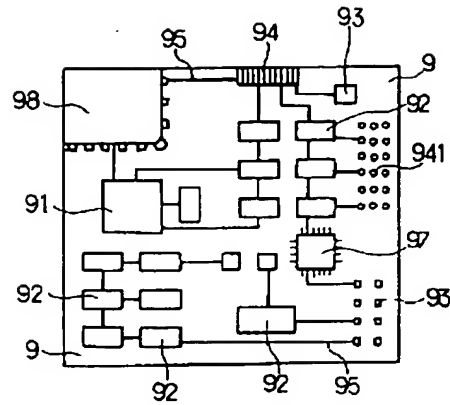
【图7】



【图 8】



【図9】



フロントページの続き

(72)発明者 丸山 仁
岐阜県大垣市河間町3丁目200番地 イビ
デン株式会社河間工場内

(72)発明者 塚田 輝代隆
岐阜県大垣市河間町3丁目200番地 イビ
デン株式会社河間工場内
(72)発明者 匂坂 克己
岐阜県大垣市河間町3丁目200番地 イビ
デン株式会社河間工場内